

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 4 日 (04.08.2005)

PCT

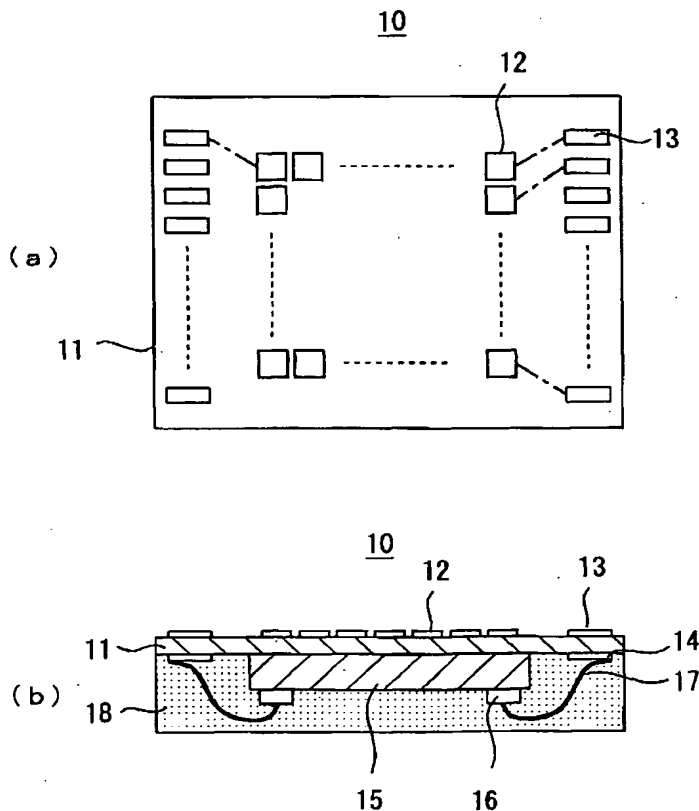
(10) 国際公開番号
WO 2005/071743 A1

- (51) 国際特許分類⁷: H01L 23/12 (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2005/000235
- (22) 国際出願日: 2005 年 1 月 12 日 (12.01.2005) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 大坂 修一 (OSAKA, Shuichi) [JP/JP]; 〒3810024 長野県長野市大字南長池字村前 2 8 0 番地 株式会社ルネサス長野セミコンダクタ内 Nagano (JP). 藤本 仁士 (FUJIMOTO, Hitoshi) [JP/JP]; 〒3810024 長野県長野市大字南長池字村前 2 8 0 番地 株式会社ルネサス長野セミコンダクタ内 Nagano (JP). 広瀬 哲也 (HIROSE, Tetsuya) [JP/JP];
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-014760 2004 年 1 月 22 日 (22.01.2004) JP

[続葉有]

(54) Title: SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体パッケージ及び半導体装置



(57) Abstract: A package structure for improving the function of a multichip semiconductor integrated circuit, making its size small, and contributing to the systemization is provided. A substrate having a plurality of test terminals and external connection terminals on its front surface and a plurality of internal connection terminals on its back surface, and a semiconductor chip having on its front surface a plurality of front surface terminals connected to internal circuits are prepared. The back surface of the semiconductor chip is joined to the back surface of the substrate. The front surface terminals of the semiconductor chip are connected to desired internal connection terminals of the substrate. The semiconductor chip is encapsulated on the back surface of the substrate using an encapsulating member. In this way an encapsulated semiconductor package is constructed. The encapsulated semiconductor package is joined to another semiconductor chip having an external connection terminal and mounted on a substrate, and they are encapsulated to form a multichip structure.

(57) 要約: マルチチップ化した半導体集積回路の機能向上、小型化、システム化を図るパッケージ構造を提供する。表面に複数のテスト用端子と複数の外部接続用端子とが配置され、裏面に複数の内部接続用端子が配置された基板と、表面に内部回路と接続した複数の表面端子が形成された半導体チップを用意し、この半導体チップ

の裏面を前記基板の裏面に接合し、半導体チップの表面端子を基板の所望の内部接続用端子に接続したうえ、封止部材により半導体チップ

[続葉有]



〒3810024 長野県長野市大字南長池字村前 2 8 0 番地
株式会社ルネサス長野セミコンダクタ内 Nagano (JP).
篠永 直之 (SHINONAGA, Naoyuki) [JP/JP]; 〒3810024
長野県長野市大字南長池字村前 2 8 0 番地 株式会社
ルネサス長野セミコンダクタ内 Nagano (JP).

(74) 代理人: 高田 守, 外 (TAKADA, Mamoru et al.); 〒
1600007 東京都新宿区荒木町 2 0 番地 インテック
8 8 ビル 5 階 特許業務法人 高田・高橋国際特許事
務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

ブを基板の裏面に封止してカプセル化された半導体パッケージを構成する。また、外部接続端子が形成され基板
の上に搭載された他の半導体チップに、前記のカプセル化された半導体パッケージを接合したうえ封止してマルチ
チップ構造にする。